

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-358259

(43)Date of publication of application : 26.12.2001

(51)Int.Cl.

H01L 23/28

H01L 23/29

(21)Application number : 2000-179897

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 15.06.2000

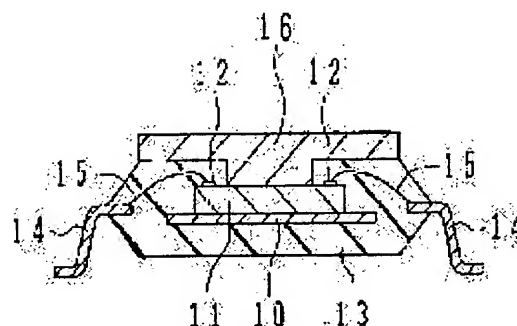
(72)Inventor : KONDO MANABU

(54) SEMICONDUCTOR PACKAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor package which radiates heat efficiently and is equipped with a heat sink as a measure to prevent the increase in soldering temperature when the package is mounted on a main substrate.

SOLUTION: An IC chip 11 whose backside is fixed on a die 10 is formed with a plurality of electrodes 12 on a main surface, and is protected by a sealing member 13 formed of, for example, molding resin. External terminals 14 have their one end extended outside from the sealing member 13 and the other end electrically connected to the IC chip 11 by a bonding wire 15 or the like. The heat sink 16 has the larger area side exposed outside the sealing member 13 and the opposite side fixed on the main surface of the IC chip 11. The heat sink 16 can be installed after being mounted on the main substrate by means of the external terminals 14, that is, after-installation is allowed for the heat sink 16.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-358259

(P2001-358259A)

(43) 公開日 平成13年12月26日 (2001. 12. 26)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 23/28
23/29H 0 1 L 23/28
23/36J 4 M 1 0 9
A 5 F 0 3 6

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願2000-179897(P2000-179897)

(22) 出願日 平成12年6月15日 (2000. 6. 15)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 近藤 学

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100095728

弁理士 上柳 雅誉 (外1名)

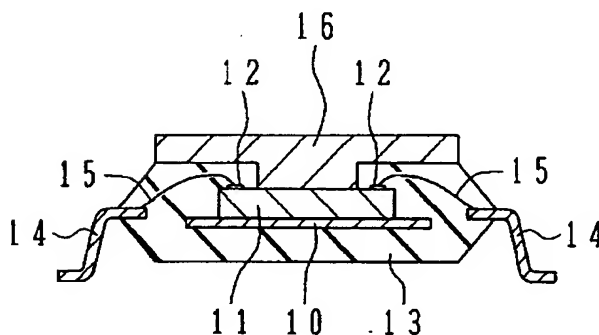
Fターム(参考) 4M109 AA01 BA01 DA04 DB02 DB15
GA055F036 AA01 BA04 BA23 BB01 BC05
BE01

(54) 【発明の名称】 半導体パッケージ

(57) 【要約】

【課題】 効率良く放熱し、メイン基板への実装時にはハンダ付け温度設定を上昇させないように対策可能なヒートシンクを備えた半導体パッケージを提供する。

【解決手段】 ダイ10に裏面が固着されたICチップ11は、主表面に複数の電極12が形成され、例えばモールド樹脂による封止部材13により保護されている。外部端子14は、その一端側が上記封止部材13から外部へ伸び、他端側がICチップ11にボンディングワイヤ15等を介して電氣的に接続されている。ヒートシンク16は、より大きな表面積を有する側が上記封止部材13から露出し、その反対側がICチップ11の主表面に固着されている。ヒートシンク16は、外部端子14によるメイン基板への実装後に装着される、後付け構成を可能としている。



3

路がより多く確保される。これにより、従来に比べて放熱性の優れた半導体パッケージが実現できる。

【0016】図2は、図1の構成の半導体パッケージを適用した、メイン基板への実装手法を示す断面図である。上記ヒートシンク16は、外部端子14によるメイン基板21への実装後に装着される後付け構成であることを表している。

【0017】この図2のような実装手法を実現できる構成であれば、ヒートシンク付きの半導体パッケージが、実装時にメイン基板全体のハンダ付け温度設定を上昇させることはない。すなわち、メイン基板全体のハンダ付け温度設定を上昇させる要因となるヒートシンク16を外してメイン基板21へ実装できるからである。

【0018】なお、ヒートシンク16は、より大きな表面積を有する側が封止部材13から露出しその反対側がICチップ11の主表面に固着される形態であれば、上記形状に限定されることはない。

【0019】図3、図4は、それぞれ本発明に係るヒートシンクの変形例を示す断面図である。ヒートシンクが装着される半導体パッケージは破線で示した。ヒートシンク36、46のように、凹凸による表面積の拡大を図る形態は容易に考えられる。また、図4のヒートシンク46のように、封止部材13側面にまで延在させるような形態をとってもよい。このような構成によって、より効率的な放熱対策が実現される。

【0020】もちろん、このような半導体パッケージのメイン基板への実装の際、ヒートシンク36または46は装着せず、メイン基板実装後に装着するといった、ハンダ付け温度設定を上昇させないような対策も可能である。

【0021】さらに、上記各実施形態における、外部端子のタイプ、外部端子とICチップとの接続手段（ここではボンディングワイヤ）は、限定されることはなく、TAB（Tape Automated Bonding）など他のタイプの外部端子や接続手段が様々考えられる。

4

*【0022】

【発明の効果】以上説明したように本発明の半導体パッケージによれば、放熱部材（ヒートシンク）は、より大きな表面積を有する側が封止部材から露出し、反対側は半導体チップの主表面側から発熱を吸収するように装着される。すなわち、半導体チップ主表面から外部雰囲気へ広がる放熱路がより多く確保される。これにより、高速動作、大きな消費電力を有する発熱量の大きいICが放熱性能を懸念することなく封止できる。さらに、この放熱部材（ヒートシンク）は、メイン基板実装後の後付けでも対応可能である。この結果、より効率良く放熱し、メイン基板への実装時にはハンダ付け温度設定を上昇させないように対策可能なヒートシンクを備えた半導体パッケージを提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る半導体パッケージの構成を示す断面図である。

【図2】図1の構成の半導体パッケージを適用した、メイン基板への実装手法を示す断面図である。

【図3】本発明に係るヒートシンクの変形例を示す第1の断面図である。

【図4】本発明に係るヒートシンクの変形例を示す第2の断面図である。

【図5】（a）、（b）は、それぞれ従来におけるヒートシンク付きの半導体パッケージの構成を示す断面図である。

【符号の説明】

10…ダイ

11、51…半導体チップ（ICチップ）

12…電極

13、53…封止部材

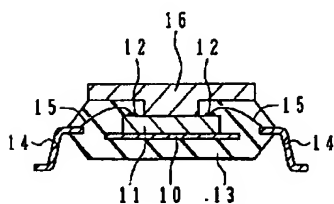
14、54…外部端子

15…ボンディングワイヤ

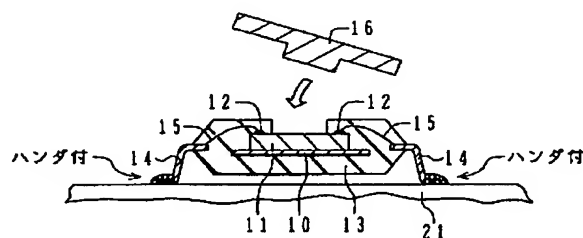
16、36、46、56…ヒートシンク

21…メイン基板

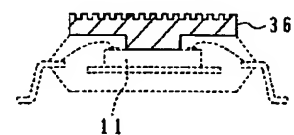
【図1】



【図2】



【図3】



【図4】

